SEMICONDUCTOR DEVICE

Patent Number:

JP10022449

Publication date:

1998-01-23

Inventor(s):

MIMURA TADAAKI

Applicant(s)::

MATSUSHITA ELECTRIC IND CO LTD

Requested Patent:

☐ JP10022449

Application Number

Application Number: JP19960172012 19960702

Priority Number(s):

IPC Classification:

H01L25/04; H01L25/18; G06F17/50; H01L23/538

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To minimize the system cost, increase the degree of freedom in wiring design within an interconnecting network, improve the signal transmission property, and improve the efficiency of interprocessor data transfer, by forming a processor portion and an interconnecting network portion using separate semiconductor chips, respectively, and unifying these portions in a COC structure.

SOLUTION: A semiconductor device has a COC structure in which a PE chip 11 on the upper surface and an interconnecting network forming chip 13 on the lower surface are bonded, with active surfaces thereof facing each other. The junction between-the chips 11 and 13 is realized by connecting area electrode pads 16, 18 formed in the PE chip 11 and the interconnecting network forming chip 13 by a bump 17. Thus, the PE including a microprocessor and DSP, which is a constituent element, may be produced in the minimum possible size. Also, the latest process enables designing which emphasizes performance, thus enabling improvement in degree of freedom in designing.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平10-22449

(43)公開日 平成10年(1998)1月23日

(51) Int.Cl. ⁶		識別記号	庁内整理番号	F I			技術表示箇所
H01L	25/04			H01L	25/04	Z	
	25/18			G06F	15/60	658E	
G06F	17/50			H01L	23/52	Α	
H01L	23/538						

審査請求 未請求 請求項の数3 OL (全 6 頁)

(21)出鷹番号

特爾平8-172012

(22)出顧日

平成8年(1996)7月2日

(71)出顧人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 三村 忠昭

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

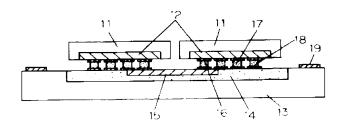
(54) 【発明の名称】 半導体装置

(57)【要約】

【課題】 複数のプロセッサコアと、プロセッサコア間 を相互接続するための結合網、特にクコスペ型等の密結 合網を集積した1チップ半導体装置が開発されている が、その構成上ハードウエア規模が大きくなるため、チップサイズの拡大してしまうという課題がある。また複 確な相互配線を行うため、チップサイズ縮小には多層配 線プロセスを用いる必要があり歩留まり上の兼ね合いで チャーコストが下からないしいう問題が発生する。

【解決手段】 これらの課題を解決するため、な発明では複数シャイクロアロガッサ、あるいはDSPが密結合した。マルチのロガッサ構成のレステムにおいて、アロガッサ部12、相互結合特別14分子れぞれぞれたり中意体チッツで形成し、COC(チェンオンチッツ)構造でなったディーにある。

- !1 PEチップ
- 12 PEプロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスパスイッチ
- 16 上面チップエリア電極パッド
- 17 バンブ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド



【特許請求の範囲】

【請求項1】複数の半導体チップを互いの能動面同士が向かい合う状態で、かつ前記複数の半導体チップの電極パッド同士を電気的に接続した構造を有する半導体装置であって、一方の半導体チップがマイクロプロセッサを有する半導体チップであり、前記マイクロプロセッサを有する半導体チップが前記マイクロプロセッサ間のデータ販送ネットワークを行う相互結合網を有することを特徴とする半導体装置。

1

【請求項2】マイウロブロセッサを有する半導体チップ が前記マイクロブロセッサ間でのデード転送を制御する ためのコントローサを有することを特徴とする請求項1 記載**半導体装置。

【請求項3】マイクロプロセッサ間のデータ転送ネット リークを行う相互結合網を有する中導体チップが前記マイクロプロセッサ間でのデータ転送を制御するためのコントローデを有することを特像とする請求項1記載の半 導体装置。

【発明で詳細な説明】

[0001]

【発明を属する技術分野】本発明は、複数のマイクロプロサーサ、あるいはDSPを並列に動作させたマルチプロサーサミステムに関するものであり、特に複数のプロサーナ間に相互結合網が出立されたシステムの構立方法に関するもつである。

[0002]

【独然の技術】近年各種システム機器の高速化・高機能 作に、もない、半導体素子事体の処理速度向上と合わ せ、Aまざまの並列処理技術の導入により、システムの トータル性能を上げるアプローチがさかんに行われてい る。これは、例えば画像データの圧縮「伸長といった、 複雑で高速性を要因される処理を、複数のプロセッサ・ エン・シト (PE) に分散させ、標準的な処理性能を持 つでロセッサを並列動作させることにより、トータルで 上が理事度対向上させるといったものである。

【0008】できては下では、海来のマキチではセッサ構成について関節を参照しながり適明する。図5は、一般的な着結合型の相互結合網の形態を示したものであた。マキチではセーサ構成のレステムを示すでは一ク図であた。図5において、31はアーセーサエレスシトPE、32は相互結合解、33はPEの制御創であた。相互信合解32には、ケースが覧、・マーラ電、ハイハキューで概念との他、ADENA型(ハイハークはス型)な、小業に下れる。

【0004】次に減6%、比較な過6%、 1942 PE 間 1943 (東東北京) 2000 では、2004 (東東 26) またで、314 1942 (アインの 35) (からの 40) を4 12 2 12 PEBLO (76) (東東によった 短、2004 (東京東西場合・大) を登録されたよ。2004 (アイン 第34分段の「2022 名」区中 (2022 m) 部分が相互結合網を示す。クロフィ配線35は、データ 転送のパンド幅と信号伝送の周波数によりその配線本数 が決まる。例えば8、16、32、64ごそのビット数 を広げることでデータ転送レートは向上するが、それに 伴い、一般的には実装コスト上昇で、実装規模拡大を招く。

【0005】以下図6のクロスバ型PE構成のパートウエアインでリメントの例について説明する、図7は、最もオーコリックスな形態の個別要著チャブでの構成を示すものであり、佐来のクロンバ型相互結合網を持つ半導体装置の中面図である。

【0006】図7において、36は、パーケージされた PE、37はパッケージされたクロフバスイッチ、38 は回路基板内に形成された相互結合網配線、39は回路 基板である。この場合各チップは個別にバッケージされ て回路基項に実装することにより、フラムが構成されて いる。上記の図7に示す半導体装置は、一般的なQFP パッケージの例を示したものである。

【0007】一方上記の図でに示したQFPハッケージ 20 とは逆に、すべての構成要素を1千とプLSI内に形成 した例を図るに示す。図8は、世界のクロスパ型相互結 合網を持つ半導体装置を示す平面図のチェブ内の機能ご ロックレイアフトを示したものである。図8において、 4.0 はPF ブロック、4.1 はクロスパスパッチを含む相 五時合同のプロック、4.2 はチープ圏でに配置された電 極パット、40は半導体チープを示している。この例で は、1千一でにPEやクロスパフィッチ、相互接続配線 などの構成要素を全て集積。ている。例えば0.035 μ mなどの最先端の繊細化ではむで、3、4層以上の多層 配線技術により複数のPEの密語含本やトワークが1千 ップで実現できる。具体的には、4つのプローディング 演算DSPコアをクロア「結合」定構成」なっているも のが存在する。このチェブにはきらに並列処理制御用え して、NISCではせ、サコでも搭載されている。

[0008]

【発明が解告、より上すら課題】しからながり、上記記では示し、位果り構成では、各手ってを個別にパーケージと同時無极へ搭載した構成でわらため、各LSL件に世間の信息信送遅延が生し、例えば60MHz以上り動作速度によると、信力で射にして、、タロストーでした。

【00000】東京、図客でもだけ、東京での要素化工作。では集積しているため、図での低力が軽く物理的研究なはは存物になる。ま、1000円の代表が入れるため、より通事報告は主催でした。このでは、発力では、100円では、そのでは、100円では、

アを占めているためである。

【0010】チップサイマの拡大はすなわちチップコストの上昇になり、実アプリケーションへの適用に当たっては大きな課題となる。また、相互結合網を汎用ロジックと1 チップ化するための設計アールを用意する必要も生ごる。

【0011】きらにアプリケーションによって、PE間の相互結合網の形態を渡する必要が無じた場合、その都度LSI化を行う必要があり、開発工数・開発期間を要することとなる。

【0012】そこで本発明は、ミステムコストを最小化すること、相互結合網内の配線設計の自由度を高めることにより、信号伝送特性を向上させ、プロウェサ間データ販送の効率を上げること、及び、設計自由度や設計効率を向上することの可能な半導体装置を提供することを目的とする。

[0013]

【課題を解決するための手段】上記の目的を達成するために本発明の半導体装置は、複数の半導体チャプの能動面司士が向かい合う形で半導体チャプの電極パッド同士が電気的に接続された構造において、対向する半導体チャプのうち、一方が複数のマイクロプロセナサ、もるいはマイクロプロセッサ間でのデータ転送を制御するためのコントローテLSIであり、他方がマイクロプロセッサ間のボータ転送タットフークを実現するための相互結合網が形成されているチャプであるように構成されている。

[0014]

【発明の実施の形態】以下、本発明の実施の形態における主導体装置について図面を参照しなから説明する。本 実施の形態では、前述の4 PEクロスパ型キットフーク を例に説明することとする。

【0015】(実施の手態1)図1次、本発明の一実施 心形態における半導体装置の断面図を示したものであっ き。図 1 において、1 1 はPEチャブ、12はPEブロ トク、13は相互結合圏形成チップ、14は相互結合網 形成領域、13はクロスパスイッチ口腔、16は上面P Eチャプラも「子電館ペット、17はハンコ、18は干 面相互結合網形成チェアのエリア電板ハット、19は下 直統一での第四電機パットを含じ合すってある。 刈れに ぶとたように、女実的の形態におけり半導体装置は、上 道徳、世別上証徳、世が能動通過出が向から合わせば対 切りで張り合わされた構造したとている。これ向でOC (チェンオンボーン) 構造り呼ぶた お碁廟と形典では、 比重心PE等。当115、PB公共成绩的增生效率。 18~制置していた。 佐川の碧り桜 州に、上南モーの、 下部分 人名埃尔州埃洛索尔语 医性髓膜炎 [-1.6], -1.8「物語」、例子はMBB Oxinter いわいだった

4

ッチ以下の微細接続が可能である。

【0016】図2は、上記の図1に示したこのCOC構造の半導体装置を上から見た平面図を示したものである。図2中下面チャプ13内に形成された相互結合網14の上に4つのPEチャプ11が配置され電気的に接続されている。

【0017】相互結合網14の中には、PE間でのデータ販送を制御するためのコントコーラとしての4つのクロス 「スイッチ13」、これしクロス 「スイッチ間の相) 互配線、および上面のPEチップ 11ヶ接続を行うためのエリア電極バッド18が形成されている。図3は、上面PEチップ11を搭載していない状態の下面チップ13を示した平面図である。上面PFチープ11のエリア電極バット16に対応した位置に電極バッド18が形成されている。この構成は、ちょうご図6の内線で囲まれた部分を切り出して、下面チェプ内に形成したものである。すなわち、PEは相互結合網を別々のチップで作り、COC接合技術により一体化するこもである。

【0018】これにより、構成要素である。マイクロプロセッサ、DSPなどからなるPEを使別チップとしてできるだけ小型に作り込むことが可能になる。また、最新プロセスにより性能を重視した設計が下能で、設計の自由度を向上させることができる。例えば、上面チャプを最新の0.35ヶmプロセスで作り、下面相互結合網形式チャプをTV まては、例えば0.5寸0.8ヶmプロセスでつくることで、半導体装置のデータルロストを伝滅させることが手能である。

【0019】また、PEチャでは標準的な仕様で形成し、システムの要素に応じて、相互結合網の形態を変えることも可能である。すなわら、下面チャでのみの変更で、前述のクロスパ結合以外に、・シンコ型やハイバーキューで型などのネットワーク構成を「モニとができる。その等、1チャで付プロセスト異なら、相互結合網チャでのみの変更で対応できるため、内幅な設計開発期間の知鑑、開発コストの低減が可能である。

【0020】 (害権の無態2) 以下では、本発明の別の 実施の形態における事権体装置について適助する。因4 は、お実施の形態における事権体装置の計画図を追した ものである。

 【0021】図4に水本実施の形態では、上面の1つの チャワ内に複数個のPFでロック12を形成している。 上記の図1に水下が実施の形態における中郷体装置して ないは、1でいてれた。でPE数でれるが、これが実験 財際の集積を(でロサス)により、新漢な構成をしるこ のでする。

[0023]

e 【新 · 斯斯] (2](2010 · 10] (2) 数额作用的温度等

置は、複数のマイクロプロセッサ、あるいはDSPが密結合した、マルチプロセッサ構成のシステムにおいて、プロセッサ部と相互結合網部をそれぞれ別々の半導体チップで形成し、COC構造で一体化するものである。このため、プロセッサ部と相互結合網に対しそれぞれ最適なプロセスを適用させることが可能であり、システムコストを最小化することができる。

【0024】また、相互結合網内の配線設計の自由度を高めることができるため、配線幅、配線厚みの最適化により、信号伝送特性を向上させ、プロセッサ間データ転送の効率を上げることができる。さらに、プロセッサ部を共通に利用し、相互結合網のみの変更でシステム構築が可能である、など設計自由度、設計効率が向上し、トータルシステムのロストパフォーマンスを上げることができるといった、非常に大きな効果を生むことができる

【図面の簡単な説明】

【図1】本発明の実施の平態における半導体装置の断面 図

【図2】本発明の実施の形態における半導体装置の平面 図

【図3】本発明の実施の开:熊における半導体装置の平面 図

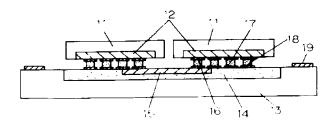
【[劉4] 本発明の実施の形態における中導体装置の断面 ※

【図5】マルチプロセッサ構成のシステムを示すプロック図

【図6】クロスバ型相互結合網を示すブロック図

[🗵 1]

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスパスイッチ
- 一6 上面チップエリア電極パッド
- ・アーバンプ
- 18 下面チップエリア電板バッド
- 19 下面チップ周辺電極パッド



6 【図7】従来のクロマ / 型相互結合網を持つ半導体装置 を示す平面図

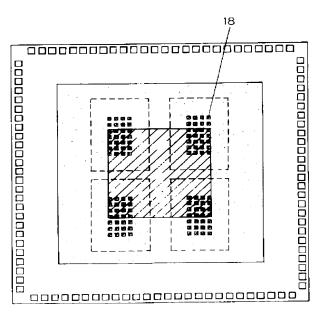
【図8】従来のクロス/型相互結合網を持つ半導体装置 を示す平面図

【符号の説明】

- 1.1 PE # 95"
- 12 PE = = = 2 2
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 0 15 クロスパスイッチ回路
 - 16 上面チップエリア電極パッド
 - 1.7 パンピ
 - 18 下面チャプエしア電極バッド
 - 19 下面チャプ無辺パッド
 - 31 プロヤッサエレメント (PE)
 - 3.2 相互結合網
 - 33 PE制御部
 - 3.4 クロフバスイッチ (論理上)
 - 3.5 クロッ/配線
- *0* 3.6 PEパッケージ部品
 - 37 クロアバスイッチペッケージ品
 - 38 相互結合網配線
 - 3.9 国路基板
 - 40 チップ内PEフローク
 - 4.1 相互结合網でロッツ
 - 4.2 周辺電極ペット
 - 43 マンチでに対しても遺体チャブ

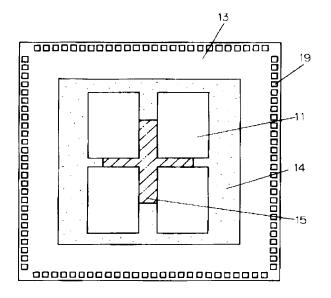
[E3]

18 下面チップエリア電極パッド



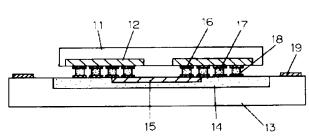
【図2】

- 11 PEチップ
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスパスイッチ19 下面チップ局辺電極パッド



[図4]

- 11 PEチップ 12 PEプロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域 15 クロスパスイッチ
- 16 上面チップエリア電極パッド
- バンブ 17
- 18 下面チップエリア電極パッド 19 下面チップ周辺電極パッド



【図6】

34 クロスバスイッチ

